

62-005661

THIN FILM TRANSISTOR

Patent Number: JP62005661
Publication date: 1987-01-12
Inventor(s): WAKAUMI HIROO
Applicant(s):: NEC CORP
Requested Patent: JP62005661
Application Number: JP19850145044 19850701
Priority Number(s):
IPC Classification: H01L29/78 ; H01L27/12 ; H01L29/60
EC Classification:
Equivalents:

Abstract

PURPOSE:To increase the capacity of a display device by forming a conductive electrode through an insulating film on a glasslike substrate, forming a polycrystalline Si active layer thereon, further forming a thin insulating film and a conductive electrode thereon to use the both electrodes as a common gate, and forming a channel in the polycrystalline Si active layer.

CONSTITUTION:A conductive layer 15' is formed through an insulating film 12 on a glasslike substrate 11, a thin insulating film 12' is deposited thereon, a polycrystalline Si is deposited thereon, boron is doped to form an active layer 13. A high density impurity is doped on part of the layer to form N<+> type impurity layers 14, 14'. A thin insulating film 12' is formed thereon, and a conductive layer 15 is formed thereon. Thereafter, a passivation film is formed on the entire surface, only source and drain are opened, aluminum is deposited to lead an electrode 16. Thus, the capacity of a display device driven by an active matrix TFT by the high speed operation of a driver can be increased.

Data supplied from the esp@cenet database - I2

⑫ 公開特許公報(A)

昭62-5661

⑤ Int.Cl.⁴

識別記号

庁内整理番号

④ 公開 昭和62年(1987)1月12日

H 01 L 29/78
27/12
29/608422-5F
7514-5F

審査請求 未請求 発明の数 1 (全4頁)

⑥ 発明の名称 薄膜トランジスタ

⑦ 特 願 昭60-145044

⑧ 出 願 昭60(1985)7月1日

⑨ 発 明 者 若 海 弘 夫 東京都港区芝5丁目33番1号 日本電気株式会社内
⑩ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
⑪ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

薄膜トランジスタ

2. 特許請求の範囲

(1) ガラス状基板上に絶縁膜を介して第1の導電性電極を設け、その上に第1の絶縁薄膜を介して部分的にソース・ドレインの不純物層を形成してなる多結晶Si活性層を設け、更にその上に前記第1の絶縁薄膜と同程度の膜厚からなる第2の絶縁薄膜と、この第2の絶縁薄膜を介して第2の導電性電極とを設け、前記第1、第2の導電性電極を共通ゲートとし、前記不純物層を除く多結晶Si活性層内にチャネルを形成してなることを特徴とする薄膜トランジスタ。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、LC、EL、VF等の表示デバイス駆動用のTFTやその周辺回路の基本構成要素である薄膜トランジスタに関する。

〔従来の技術〕

近年、EL、LC等の表示装置が大面積化するにつれて、アクティブマトリックスTFTで駆動する方式が検討され始めてきた。この方式では、各セルに対応して設けたTFTの他に、X、Yの電極線を駆動するためのドライバが必要であるが、これらはTFTと共に、ガラス状基板の上にIC化されるのがコスト的に望ましい。これらTFTやドライバは、 g_m を大きくとれ、高速に動作する程、表示デバイスの性能が向上する。例えば、ドライバの動作速度を向上できれば、大面積化が可能になる。また、TFTの g_m (相互コンダクタンス)を大きくとれば、トランジスタの W/L を小さくすることが可能となり、1つのセルの開口率を向上できるようになる。

第2図に、従来の多結晶Siを用いて構成された薄膜トランジスタの構造を示す。トランジスタは、ガラス状基板11上に絶縁膜12を介して設けた多結晶Si活性層13と、ソース・ドレインとなる n^+ 不純物層14、14'及び薄い絶縁膜12'を介して設けたゲ-

トとなる多結晶 Si 導電層 15 と、ソース・ドレインの n^+ 不純物層 14, 14' と、オーミックコンタクトをとるための Al 電極 16 とから構成される。このトランジスタでは、ゲート下の活性層 13 内にチャネルを形成して導電性がゲート電位で制御される。

TFT はこのようなトランジスタで構成され、またドライバはこの種のトランジスタを複数用いて構成される。上述のトランジスタにおける電子移動度 μ_e は活性層に用いている多結晶 Si 15 の結晶性で決まり、non-dope の多結晶 Si を用いた場合、最大でも $10 \text{ cm}^2/\text{V}\cdot\text{sec}$ 前後の値である。

〔発明が解決しようとする問題点〕

ところで、このような低い μ_e を有するトランジスタで TFT を構成しようとする、1 セル当りのトランジスタの W/L (チャネル幅/チャネル長) を大きくして、必要とするスイッチングスピードを得ることになる。従って、従来例では 1 つのセル内でのトランジスタ部の占有面積が増大するので、液晶等の表示セルの開口率が低下し、コントラストが悪化することになっている。特に、EL

駆動用の TFT では、トランジスタを 2 個構成する必要がある、開口率の低下は著しくなる。

また、上述のトランジスタを用いてドライバを構成する場合には、 g_m が小さいので高速駆動が困難という問題がある。高速駆動を行なわせるために W/L を大きくするか、 μ_e を向上する方法が考えられる。 W/L を大きくすればトランジスタを構成する領域の面積が増大し、多結晶 Si 活性層にグレインバウンダリー (grainboundary) や欠陥の入る面積が大きくなるため、IC の歩留りが低下する。また、他方の μ_e を向上するのは、ガラス状基板上にトランジスタを作成する限りにおいては、低温の熱処理工程を行ってつくらざるを得ず、これは現状では容易でない。

本発明の目的は、かかる従来の欠点を解消し、高 g_m 化による表示デバイスの大容量化を可能ならしめた薄膜トランジスタを提供することにある。

〔問題点を解決するための手段〕

本発明は、ガラス状基板上に構成される薄膜トランジスタであって、ガラス状基板上に絶縁膜を

介して第 1 の導電性電極を設け、その上に第 1 の絶縁薄膜を介して部分的にソース、ドレインの不純物層を形成してなる多結晶 Si 活性層を設け、更にその上に前記第 1 の絶縁薄膜と同程度の膜厚からなる第 2 の絶縁薄膜と、この第 2 の絶縁薄膜を介して第 2 の導電性電極とを設け、前記第 1、第 2 の導電性電極を共通ゲートとし、前記不純物層を除く多結晶 Si 活性層内にチャネルを形成してなることを特徴とする薄膜トランジスタである。

〔発明の原理と作用〕

ゲート電極となる導電性電極を多結晶 Si 活性層の上、下に薄い絶縁膜 (一例として、 SiO_2) を介して設け、共通のゲートとする。また、ソース・ドレインとなるべき不純物層を活性層の一部にイオン注入、アニール等の技術を用いて低抵抗領域として形成する。このように構成したトランジスタでは、多結晶 Si 活性層の表側と裏側との界面近傍を同時にチャネルとして活用することができ、同一面積内にトランジスタを作成した場合、従来の 2 倍の g_m を得ることができる。また、チャネル

を界面近傍から活性層内部に設けた埋込みチャネル (表面付近を n 型、内部を p 型にする) の構造によっても同じ効果が得られる。

〔実施例〕

以下、本発明の実施例について図面を参照し乍ら詳細に説明する。

第 1 図は、本発明の第 1 の実施例となる薄膜トランジスタの構造断面図を示したものである。同図において、第 2 図と同一番号あるいは同一記号は同一構成要素を表わす。尚、本発明では便宜上のチャネルトランジスタを例にとりて説明するが、 p チャネルトランジスタを構成する場合も同じである。本実施例では、ガラス状基板 11 (ガラス、石英等) 上に絶縁膜 12 を介して多結晶 Si 導電層 15' を設ける。絶縁膜 12 としては、膜厚は特に問わず、減圧 CVD 製造装置等により適当な厚みに形成される。また、この絶縁膜 12 は、多結晶 Si を沈積する時にガラス内に含まれている Na 系の物質が多結晶 Si 内に拡散してゆかないようにするために設けるが、必ずしも本発明の構成をとる上では必要ない。

また、多結晶Si導電層15'は、減圧CVD法等によりノンドーパの多結晶Siを蒸着した後、イオン注入等によりP、As等の不純物をドーパすることによって低抵抗の膜として得られる。このようにして得た前記導電層15'の上に、薄い絶縁膜（例えば、 SiO_2 ）12'を数百〜数千Å程度着ける。そして、更にその上には多結晶Siを減圧CVD法等により蒸着し、閾値電圧が適当な値になるようにボロン等の不純物をドーパした後適当なアニールを行って、多結晶Si活性層13を形成する。この活性層13には、 H_2 、 F_2 等がドーパされてもよい。この層の一部には、高濃度の不純物（PまたはAs）をドーパすることにより低抵抗のソース・ドレインとなるn'不純物層14、14'を形成する。そして、その上に SiO_2 等の薄い絶縁膜12'を薄い絶縁膜12と同程度の膜厚に設ける。絶縁膜12と12'との膜厚は必ずしも同じでなくともよい。次に、多結晶Siの導電層15を前述したような手段で、この絶縁膜12'の上に形成する。この後、パッシベーション膜（ SiO_2 等）を全面に着け、ソース・ドレ

ィンすることによってコントロールされる。即ち、ゲート電圧が0Vの時には、2つのチャネル共にカットオフ状態になり、閾値電圧 V_T 以上のバイアス電圧をゲートに印加した時には共にオン状態になり、ドレイン・ソース間に電流を流す。この場合、チャネルが2つ形成されているので、同じ W/L のトランジスタでは、従来の場合に比して2倍の g_m （即ち、ドレイン電流）を得ることができる。また、絶縁膜との界面付近にn型の不純物を導入し、活性層内部をp型とすると、埋込みチャネルが形成され、 μ_0 が高くなるため、より高い g_m が得られるようになる。この場合にも、従来値（埋込みチャネルトランジスタにおける値）の2倍の g_m が得られるのはいうまでもない。

以上はp型の活性層にnチャネルを形成したトランジスタであるが、これとは別の領域（ガラス状基板11上の異なる領域）に同じような構成で（不純物の型はnチャネルの場合と逆になる）pチャネルのトランジスタを構成することによって、完全に絶縁分離された従来値の2倍の電流供給能力

ン部のみを開孔した後、Al（W、Cr等でもよい）を蒸着（電子ビーム蒸着等により）して電極16を取り出す。この時、フィールド領域（多結晶Si活性層13を設けてない領域）上で多結晶Si導電層15、15'と電極16のAl（W、Cr等も可）を相互にオーミックコンタクトさせ、共通のゲート電極として外部へ取り出す。

尚、本実施例ではゲート電極15、15'を多結晶Siの導電層で形成した例をとり上げたが、他の導電性電極で構成しても差し支えない。例えば、W、Wシリサイド、Mo、Moシリサイド、Al、AlSi、 CoSi_2 、Cr、Au等が構成要素としてあげられる。

このようにして構成したトランジスタでは、ゲート電極15、15'が活性層13の上下に設けられるため、活性層13の内の上下界面近傍に1つずつチャネルを形成できる。しかも、これらのチャネルに流れる電子の流れは、ゲート電極15、15'に印加されるバイアス電圧により、それぞれ上側のチャネル、下側のチャネルの反転層内電荷を制

を有するCMOSインバータを構成することが可能になる。

本発明の薄膜トランジスタでは、 g_m を従来の2倍に向上できるので、IC化してドライバを構成すれば高速駆動が可能になる。しかも、チャネル幅を従来のトランジスタと同サイズに設計できるので、多結晶Si活性層の面積は増大せず、ドライバ等を構成した場合にもグレインバウンダリーや欠陥が増えることがないことから、歩留りの低下を引き起こさない。さらに、TFTに採用すれば高い g_m が得られることから、トランジスタの W/L を小さくすることができ、表示セル当りの開口率を高められることになる。Wを小さくできれば、占有面積の減少に伴い多結晶Si活性層内にトラップ準位や欠陥の入る領域が少くなり、歩留りの向上も期待できる。特に、EL等の駆動装置では2つのトランジスタでTFTを構成するため、得られる効果は著しい。さらに、本発明の構成では、基板がフロートにならないため、SOI構造によくみられるヤンク現象も抑止される。

〔 発明 の 効 果 〕

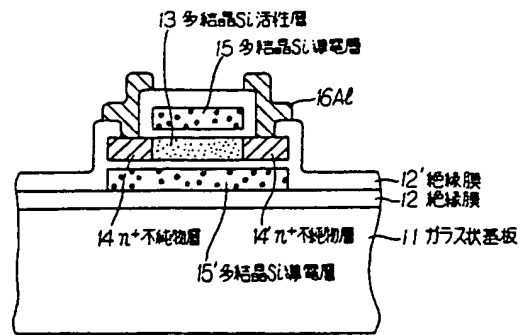
以上説明したように本発明によれば、 g_m あるいはドレイン電流 I_D を同じ W/L で比較すると従来の2倍にも向上できるので、ドライバの高速動作によりアクティブマトリクスTFTで駆動される表示デバイスの大容量化が可能になる。また、TFT自身の W/L を小さくできるので、表示セルの開口率を高められる。この結果、LC等の表示装置のコントラストを向上できる。また、TFTの W を小さくできるため、多結晶Si活性層の面積が減少し、歩留りの向上を期待できる。

4. 図面の簡単な説明

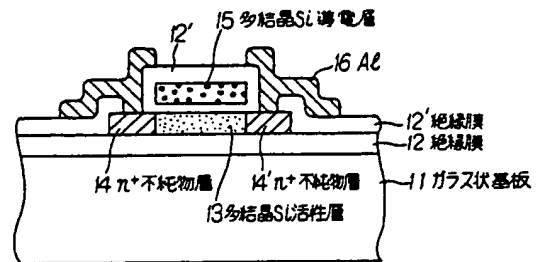
第1図は本発明による薄膜トランジスタの第1の実施例を示す構造断面図、第2図は従来の薄膜トランジスタの構造断面図である。

11…ガラス状基板、12,12'…絶縁膜、13…多結晶Si活性層、14,14'… n^+ 不純物層、15…多結晶Si導電層、16…Al。

特許出願人 日本電気株式会社
代理人 弁理士 内原



第1図



第2図